

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP403225802A

PAT-NO: JP403225802A

DOCUMENT-IDENTIFIER: JP 03225802 A

TITLE: CHIP-TYPE THERMISTOR AND ITS MANUFACTURE

PUBN-DATE: October 4, 1991

INVENTOR-INFORMATION:

NAME

UEDA, SHUSAKU

FUKUYAMA, JUNICHI

UEHARA, TAKAYUKI

FUJIMOTO, MASAYUKI

INT-CL (IPC): H01C007/04

US-CL-CURRENT: 338/22R

ABSTRACT:

PURPOSE: To minimize the deviation of a value of resistance determined through the resistance temperature coefficient of the substance in the semiconductor part of a thermistor by defining an electrode edge by notches formed in an element assembly surface..

CONSTITUTION: After a chip-type thermistor having notches 2 on the surface of a semiconductor being a thermistor element assembly 1 and notches are formed, the obtained product is coated with an electrode material paste 4. In this case, any shape of notches 2 can be formed in the thermistor element assembly 1, if the electrode material paste can enter the notches. Further, the boundary between the electrode part 3 and non-electrode part is decided along the notches 2. Thus, it is possible to obtain the chip-type thermistor having a deviation smaller than that of the value of resistance of a thermistor expected

from the resistance temperature coefficient of the semiconductor part
of the
thermistor element assembly 1.

COPYRIGHT: (C)1991,JPO&Japio

----- KWIC -----

Current US Cross Reference Classification - CCXR:

338/22R

⑫ 公開特許公報(A) 平3-225802

⑮ Int. Cl.⁵
H 01 C 7/04

識別記号 庁内整理番号
6835-5E

⑬ 公開 平成3年(1991)10月4日

審査請求 未請求 請求項の数 3 (全4頁)

⑭ 発明の名称 チップタイプサーミスタおよびその製造方法

⑯ 特 願 平2-20103

⑰ 出 願 平2(1990)1月30日

⑱ 発 明 者	上 田	周 作	東京都台東区上野6丁目16番20号	太陽誘電株式会社内
⑱ 発 明 者	福 山	淳 一	東京都台東区上野6丁目16番20号	太陽誘電株式会社内
⑱ 発 明 者	上 原	孝 行	東京都台東区上野6丁目16番20号	太陽誘電株式会社内
⑱ 発 明 者	藤 本	正 之	東京都台東区上野6丁目16番20号	太陽誘電株式会社内
⑲ 出 願 人	太陽誘電株式会社			東京都台東区上野6丁目16番20号
⑳ 代 理 人	弁理士 丸岡 政彦			

明 細 書

1. 発明の名称

チップタイプサーミスタおよびその製造方法

2. 特許請求の範囲

①素体表面に形成したノッチにより電極縁部が確定されたチップタイプサーミスタ。

②少なくとも2箇所以上にノッチを有する請求項1記載のチップタイプサーミスタ。

③素体表面にノッチを形成後、焼成し、導電性のペーストを被覆して電極部を形成することからなるチップタイプサーミスタの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、チップタイプサーミスタおよびその製造方法に関するものである。

〔従来の技術〕

一般的には負の温度係数を有し、基板上に形成された電子回路の温度補償等を目的として使用されるチップタイプサーミスタは、マンガン、ニッ

ケル、コバルトおよび銅等の酸化物に適当な結合剤を加えて得られた組成物からなる板状あるいはロッド状の成型体を焼結した後、チップ状に細断した半導体の素体から成る。該素体の両端部分に電極とするためのAg-Pd系等の電極材料ペーストを塗布した後、ペーストを焼付け固化して負の温度係数を有するチップタイプサーミスタが製造されている。

半導体のチップ状素体に電極材料ペーストを塗布する方法として、該チップ状素体の両端部分を電極材料ペースト層に浸漬する方法が従来より広く用いられている。しかし、この方法による場合、ペーストの粘度、浸漬する深さ、および浸漬速度などの微妙な違いによりペーストの塗布部と非塗布部との境界線を所定の位置に形成することは必ずしも容易でない。ペーストの粘度によっては境界線が直線ではなく、不定形の弧状線になることも多いため、境界を所望の位置に確定させることは極めて困難である。

チップタイプサーミスタの抵抗値は、電極部の

末端から非電極部との境界部までの幅によっても大きく左右される。したがって、電極部と非電極部との境界線が正確に定まらないうと、予定のサーミスタの抵抗値に比し偏差が著しく大きいものになるという問題点がある。

〔発明が解決しようとする課題〕

本発明は、上述の従来技術における問題点を解決し、サーミスタの半導体部の物質の抵抗値温度係数によって定まるべき抵抗値が偏差の極めて小さいものとなるようなチップタイプサーミスタを提供することを目的としている。

〔課題を解決するための手段および作用〕

かかる目的を達成すべく完成した本発明は、サーミスタ素体である半導体表面に、ノッチを有するチップタイプサーミスタ、並びに、ノッチを形成した後に電極材料ペーストを被覆することからなるチップタイプサーミスタの製造方法に関するものである。

本発明において、サーミスタ素体に形成されるノッチの形状は、電極材料ペーストが侵入し得る

ものであれば、どのような形状でもよい。例えば、V字型、U字型あるいは凹字型のどれであっても良い。また、形成するノッチの数は、本発明の目的を達成し得るものであれば特に制限はない。例えば直方体のサーミスタの場合、少なくとも一対の向い合う面の電極部と非電極部との境界部に1本ずつノッチを形成するとよい。また、円柱状のサーミスタの場合、前記境界部に環状にノッチを形成するとよい。

次に本発明におけるチップタイプサーミスタの製造方法について説明をするが、本発明においては、作業性を向上させるという理由から、電極材料ペーストの塗布方法およびサーミスタ素体である焼成前の半導体をチップタイプに形成する時期は、以下に例示するものに限定されない。本発明のサーミスタ製造においては、まず、 Mn_2O_3 、 NiO 、 CoO 等の原料粉末を所定の比率で混合し、仮焼、粉碎した後、バインダーを加えて、乾式成型法、湿式押し成型法、ドクターブレード法等により未焼成成型体を得る。該成型体表面の

後にサーミスタ素体の電極形成部と非形成部との境界線となる位置に、ノッチを形成する。さらに、該成型体を一旦、脱脂した後、焼成して、チップタイプサーミスタ素体が得られる。こうして、外周面にノッチが形成されたチップ状素体は、順次、両端を電極材料ペーストの層に浸漬される。浸漬の際に、電極材料ペースト層表面が該チップ状素体のノッチ部分までさしかかると電極材料ペーストはノッチに侵入する。さらにチップ状素体を深く浸漬すると、電極材料ペースト層の表面がノッチに引っ張られ、ノッチに向かって浸漬方向に傾斜する。したがって、ノッチよりはみ出して非電極部へ付着する危険率は、極めて低い。浸漬後、速やかに該チップ素体を電極材料ペースト層から引き抜くことにより、ノッチより上部にあった電極材料ペースト層表面は流れ、ノッチに向かって引き抜き方向に傾斜して付着する。次に、電極材料ペースト塗布部分を乾燥し、焼き付けることにより電極部となるため、電極部と非電極部との境界が、ノッチに沿って確定される。したがって、

サーミスタの電極部の末端から非電極部との境界線までの寸法が所望の長さに定まることになり、サーミスタの半導体部の有する抵抗温度係数から計算できるサーミスタの理論抵抗値と比べ著しく偏差が小さくなる。

本発明によって従来技術の問題点として指摘されていた電極部と非電極部との境界部分の不定が改善され、サーミスタの半導体部の有する固有の抵抗温度係数にのっとった所望の抵抗値が得られるようになり、極めて利用価値の高いサーミスタとなった。また、本発明のサーミスタの製造方法は、従来技術による方法と比較して著しく作業性を損ねることがなく、しかも安価で実施できることなどが本発明の優れた点である。

本発明を、さらに説明するために、以下に実施例を挙げる。しかし、本発明の範囲は以下の実施例によって制限されるものではない。

〔実施例1.〕

本発明のノッチ入りサーミスタを第1図および第2図を用いて説明する。

本実施例は、直方体のサーミスタに1ヶ所の電極部に付き向い合う面に1本ずつノッチが形成されているものである。

1はサーミスタ素体の半導体、2はノッチ、3は半導体に被覆した電極材料ペーストを焼付け固化した電極部である。

〔実施例2〕

本発明のノッチ入りサーミスタの他の例を第3図を用いて説明する。

本実施例は、リング状のノッチが形成されている円柱状のノッチ入りサーミスタである。

1はサーミスタ素体の半導体、2はノッチ、3は半導体に被覆した電極材料ペーストを焼付け固化した電極部である。

〔実施例3〕

本発明のノッチ入りサーミスタの製造方法を第4図を用いて説明する。

1はサーミスタ半導体素体、2はノッチ、4は電極材料ペースト層、5はノッチに向って浸漬方向に傾斜した電極材料ペースト層表面部分、6は

ノッチに向って引き抜き方向に傾斜した電極材料ペースト層表面部分、7は半導体を被覆した電極材料ペーストである。

次に操作について説明する。第4図は、1ヶ所の電極部に付き向い合う面に1本ずつノッチが形成されている直方体をした、サーミスタ素体の半導体を電極材料ペースト層に浸漬および浸漬後に引き抜きを行った操作を示したものである。

〔発明の効果〕

本発明によって、サーミスタ素体の半導体部のもつ抵抗温度係数により期待されるサーミスタの抵抗値と比べ著しく偏差が小さいチップタイプサーミスタが提供された。また、本発明のサーミスタ製造方法は、作業性を著しく損ねることなく安価に製造できることなどから、本発明の効果は非常に大きいものである。

4. 図面の簡単な説明

第1図は、本発明のチップタイプサーミスタの一例の断面図である。

第2図は、第1図のサーミスタの斜視図である。

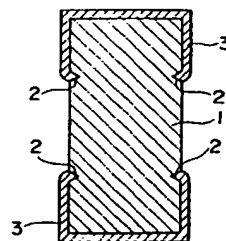
第3図は、本発明のチップタイプサーミスタの別の一例についての斜視図である。

第4図は、本発明のチップタイプサーミスタの製造方法の一例を模式断面図で示したものである。

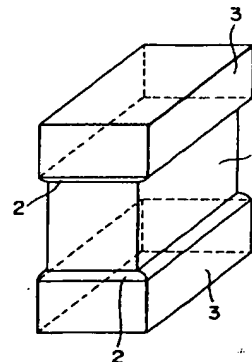
符号の説明

- 1……サーミスタ素体
- 2……ノッチ
- 3……電極部
- 4……電極材料ペースト層
- 5……ノッチに向って浸漬方向に傾斜した電極材料ペースト層表面部分
- 6……ノッチに向って引き抜き方向に傾斜した電極材料ペースト層表面部分
- 7……半導体を被覆した電極材料ペースト

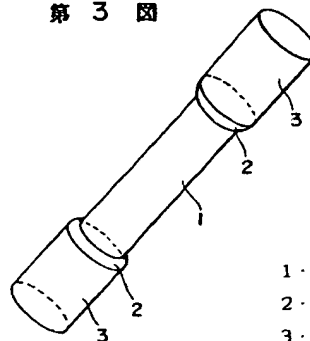
第1図



第2図



第3図



- 1……サーミスタ素体
- 2……ノッチ
- 3……電極部

特許出願人 太陽誘電株式会社

代理人 井理士 丸岡政彦

第 4 図

